

DOCKET NO.: 211601 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: LEROUX Charles

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/FR00/00198

INTERNATIONAL FILING DATE: January 28, 2000

FOR: DEVICE FOR PROTECTION AGAINST ELECTROSTATIC DISCHARGES FOR
MICROELECTRONIC COMPONENTS ON SOI TYPE SUBSTRATE

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that
the applicant claims as priority:

COUNTRY

France

APPLICATION NO

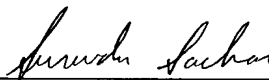
99 01032

DAY/MONTH/YEAR

29 January 1999

Certified copies of the corresponding Convention application(s) were submitted to the
International Bureau in PCT Application No. PCT/FR00/00198. Receipt of the certified
copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been
acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Attorney of Record
Registration No. 24,913
Surinder Sachar
Registration No. 34,423

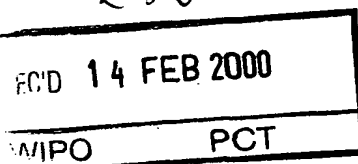


22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 1/97)

THIS PAGE BLANK (USPTO)

FR 00 / 198



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

**PRIORITY
DOCUMENT**SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)**COPIE OFFICIELLE**

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 30 NOV. 1999

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLESIEGE
26 bis, rue de Saint Petersburg
75800 PARIS Cédex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30

THIS PAGE BLANK (USPTO)

REQUÊTE EN DÉLIVRANCE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

Confirmation d'un dépôt par télécopie ☐

Cet imprimé est à remplir à l'encre noire en lettres capitales

Réservé à l'INPI

DATE DE REMISE DES PIÈCES **29 JAN 1999**
N° D'ENREGISTREMENT NATIONAL **99 01032 -**
DÉPARTEMENT DE DÉPÔT **45**
DATE DE DÉPÔT **29 JAN. 1999**

**1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE**

BREVATOME
3, rue du Docteur Lancereaux
75008 PARIS
422-5/S002

2 DEMANDE Nature du titre de propriété industrielle

☒ brevet d'invention ☐ demande divisionnaire

☐ certificat d'utilité ☐ transformation d'une demande de brevet européen

☐ demande initiale

☐ brevet d'invention

n° du pouvoir permanent 07068 du 12.06.98
références du correspondant B 13167.3/JL 01 53 83 94 00
téléphone DD 1842

☐ certificat d'utilité n°

date

Établissement du rapport de recherche

☐ différé ☒ immédiat

Le demandeur, personne physique, requiert le paiement échelonné de la redevance

☐ oui ☐ non

Titre de l'invention (200 caractères maximum)

**DISPOSITIF DE PROTECTION CONTRE LES DECHARGES ELECTROSTATIQUES
POUR COMPOSANTS MICROELECTRONIQUES SUR SUBSTRAT DU TYPE SOI.**

3 DEMANDEUR (S) n° SIREN

code APE-NAF

Nom et prénoms (souligner le nom patronymique) ou dénomination

COMMISSARIAT A L'ENERGIE ATOMIQUE
Etablissement de Caractère Scientifique,
Technique et Industriel

Forme juridique

Nationalité (s) **Française**

Adresse (s) complète (s)

31, 33 rue de la Fédération 75015 PARIS

Pays

France

En cas d'insuffisance de place, poursuivre sur papier libre ☐

4 INVENTEUR (S) Les inventeurs sont les demandeurs

☐ oui ☒ non Si la réponse est non, fournir une désignation séparée

5 RÉDUCTION DU TAUX DES REDEVANCES

☐ requise pour la 1ère fois ☐ requise antérieurement au dépôt : joindre copie de la décision d'admission

6 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE

pays d'origine

numéro

date de dépôt

nature de la demande

7 DIVISIONS antérieures à la présente demande n°

date

n°

date

8 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE

(nom et qualité du signataire)

J. LEHU
422-5/S002

SIGNATURE DU PRÉPOSÉ À LA RÉCEPTION SIGNATURE APRES ENREGISTREMENT DE LA DEMANDE À L'INPI



BREVET D'INVENTION, CERTIFICAT D'UTILITE

DÉSIGNATION DE L'INVENTEUR

(si le demandeur n'est pas l'inventeur ou l'unique inventeur)

DEPARTEMENT DES BREVETS

26bis, rue de Saint-Petersbourg B. 13167.3/JL
75800 Paris Cédex 08
Tél. : 01 53 04 53 04 - Télécopie : 01 42 93 59 30

N° D'ENREGISTREMENT NATIONAL

99.01032 du 29.01.1999

TITRE DE L'INVENTION :

DISPOSITIF DE PROTECTION CONTRE LES DECHARGES ELECTROSTATIQUES
POUR COMPOSANTS MICROELECTRONIQUES SUR SUBSTRAT DU TYPE SOI.

LE(S) SOUSSIGNÉ(S)

J. LEHU
c/o BREVATOME
25 rue de Ponthieu
75008 PARIS

DÉSIGNE(NT) EN TANT QU'INVENTEUR(S) (indiquer nom, prénoms, adresse et souligner le nom patronymique) :

LEROUX Charles

32, rue André Rivoire
38100 GRENOBLE

FRANCE

NOTA : A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient (société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire
PARIS LE 16 FEVRIER 1999

J. LEHU
422-5/S002

DISPOSITIF DE PROTECTION CONTRE LES DECHARGES
ELECTROSTATIQUES POUR COMPOSANTS MICROELECTRONIQUES SUR
SUBSTRAT DU TYPE SOI

5 Domaine technique

La présente invention concerne un dispositif de protection contre les décharges électrostatiques pour des composants électroniques réalisés sur un substrat comportant une couche semi-conductrice sur une couche isolante, par exemple un substrat SOI.

La protection contre les décharges électrostatiques (ESD) est un aspect important de la fiabilité des systèmes électroniques. Selon certaines sources, les pertes imputables aux décharges électrostatiques correspondraient à une perte moyenne sur les produits variant entre 8 et 33%. La protection vis-à-vis de ces nuisances s'opère à tous les niveaux : environnement de fabrication et de fonctionnement des circuits intégrés, protection sur des cartes assemblant plusieurs circuits intégrés. Une partie de la protection est assurée par le circuit lui-même.

Les différents circuits intégrés utilisés dans les systèmes électroniques sont reliés à leur environnement par l'intermédiaire de leurs broches d'entrée-sortie ou d'alimentation et c'est donc via ces différentes broches que peut s'écouler l'éventuelle décharge électrostatique ESD. Le principe général de protection sur le circuit est alors de mettre en périphérie du circuit au niveau de chaque broche d'entrée-sortie des structures de protection entre ces broches et leurs alimentations. Ces structures de protections sont le plus souvent des diodes en inverse, des transistors MOS bloqués ou des thyristors. Ces

dispositifs ne doivent pas perturber le fonctionnement du circuit et doivent se comporter comme des interrupteurs ouverts en fonctionnement normal de manière à détourner directement vers les alimentations du circuit le minimum de courant d'entrée-sortie qui constitue le vecteur d'information dans le circuit. En revanche, lors d'une décharge, ils doivent se comporter comme des interrupteurs fermés pour éviter que la décharge électrostatique n'aille dégrader le coeur du circuit. Dans le cas d'une décharge, si la protection fonctionne véritablement comme un interrupteur idéal, c'est-à-dire avec une résistance série nulle, la décharge électrostatique s'écoulera dans le circuit sans déperdition d'énergie et donc sans dégradation. On appelle tenue intrinsèque la tension de décharge électrostatique supportée par le dispositif de protection sans subir de dégradation.

Etat de la technique antérieure

L'analogie de l'interrupteur constitue un cas idéal dont on essaie de se rapprocher. Dans la pratique, une protection se caractérise par sa tension de maintien de la caractéristique électrique en mode déclenché et sa résistance série. Optimiser une protection revient donc à trouver une structure d'encombrement minimum, ayant une résistance série minimum et dont la tension de maintien, tout en étant supérieure à la tension de fonctionnement du circuit, soit minimale. La réduction de la surface occupée par la structure de protection et la réduction de sa résistance sont généralement contradictoires et il faut aboutir à un compromis entre ces deux facteurs.

Actuellement, on sait réaliser des circuits intégrés fonctionnant sous des tensions de plus en plus

faibles (inférieures à 3 V et même à 2 V). Les tensions maximales admissibles sont également réduites et l'optimisation de la résistance série des structures de protection ainsi que l'obtention d'une tension de
5 maintien optimale deviennent des enjeux primordiaux.

Dans ce contexte de la protection aux circuits basse tension, on a vu apparaître des structures de protection utilisant plusieurs diodes polarisées en direct. La tension de maintien est
10 définie en première approximation par la tension de coude de diode (environ 0,7 V) que multiplie le nombre de diodes en série.

L'utilisation de ce type de protection par diodes en série pose des difficultés sur un substrat de silicium classique du fait d'un effet parasite
15 communément appelé effet Darlington. Sur un tel substrat, chaque diode de protection est réalisée dans un caisson de type de dopage opposé à celui du substrat, chaque caisson étant isolé des autres, les
20 diodes étant ensuite connectées en série. Du fait que le substrat est massif, à chaque diode de protection est lié un transistor bipolaire parasite. Le courant de fuite d'une diode de protection correspond au courant de base du transistor lié à la diode de protection
25 suivante et le courant de fuite se trouve amplifié d'autant. Le document WO 97/35373 propose une solution à ce problème en décorrélant les fonctions d'isolation et de protection. On tire parti de l'effet Darlington pour assurer la fonction d'évacuation de la décharge électrostatique. La taille de la première diode est
30 maximisée car c'est elle qui reçoit la plus grosse partie de la décharge. La fonction d'isolation est alors assumée par un transistor MOS connecté en série avec la dernière diode de protection.

L'effet Darlington ne se produit pas dans les circuits microélectroniques réalisés sur des substrats SOI (silicium-sur-isolant) puisque les transistors bipolaires parasites sont supprimés. Sur ces substrats, la protection par diodes en série peut donc être appliquée.

L'article "Dynamic Threshold Body-and Gate-Coupled SOI ESD Protection Networks" de S. VOLDMAN et al., paru dans EOS/ESD Symposium proceedings, 1997, Santa Clara, Californie, pages 210-220, divulgue un dispositif de protection à diodes élaboré sur un substrat SOI. Les diodes de protection sont alors réalisées à partir de transistors MOS. Pour un tel transistor réalisé sur un substrat SOI, la zone située sous la grille pose problème du fait que la couche isolante enterrée empêche l'évacuation de la chaleur contrairement à ce qui se passe pour un substrat de silicium massif. Cet article insiste sur les protections où la diode est réalisée entre drain, substrat et grille d'une part et source d'autre part. Toutefois, la diode la plus compacte utilisable consiste en un transistor NMOS avec une implantation de la source de type différent de l'implantation du drain. Certaines techniques de fabrication nécessitant une faible épaisseur de silicium sur la couche d'oxyde enterrée, les diodes formées possèdent alors une résistance élevée. Lors d'une décharge électrostatique, la zone située sous la grille d'une diode de protection peut fondre puisque la chaleur produite ne peut être évacuée facilement.

Exposé de l'invention

L'invention apporte une solution au problème de la protection des circuits

microélectroniques élaborés sur des substrats du type SOI. Elle s'applique au contexte bien particulier des techniques de circuits intégrés à faible consommation. Le principe général de l'invention est d'utiliser un dispositif qui, par ailleurs, a de très mauvaises performances de tenue en inverse et ne peut être utilisé tel quel dans un circuit du fait des fuites qu'il occasionne. Ce dispositif est une diode de type Zener. Sa mauvaise tenue en inverse s'avère ne pas être pénalisante dans le cas de l'invention puisque la diode sera toujours polarisée en direct.

L'invention a donc pour objet un dispositif de protection d'un composant électronique contre les décharges électrostatiques, le dispositif étant élaboré dans une couche semi-conductrice d'un substrat, la couche semi-conductrice recouvrant une couche isolante, le dispositif étant relié à un plot de contact à protéger dudit composant afin de dériver une éventuelle décharge électrostatique, caractérisé en ce que le dispositif comprend au moins une diode Zener relié audit plot pour être polarisée en direct.

D'une manière générale, ce dispositif comprend plusieurs diodes Zener montées en série et reliées audit plot pour être polarisées en direct. Les diodes Zener peuvent être disposées de manière adjacente pour former le montage en série, la liaison électrique entre deux diodes adjacentes étant obtenue par une métallisation ou par un siliciure.

Avantageusement, chaque diode Zener comporte deux régions dopées fortement à des types de conductivité opposés, ces deux régions étant séparées par une région dopée à un niveau moyen selon l'un ou l'autre desdits types de conductivité. De préférence, si la couche semi-conductrice du substrat est une couche de silicium, les deux régions dopées fortement

ont des niveaux de dopage de l'ordre de 10^{20} atomes/cm³, la région dopée à un niveau moyen a un niveau de dopage de l'ordre de 10^{18} atomes/cm³. Ce substrat peut être un substrat SOI.

5 Pour remédier au problème d'évacuation de la chaleur d'une diode de protection élaborée sur une couche superficielle semi-conductrice reposant sur une couche isolante et évacuant mal la chaleur (par exemple un substrat SOI), il est proposé de réaliser cette
10 diode sans partir d'un transistor pour éviter la présence d'une grille, afin de disposer d'un plus grand volume et ainsi permettre la dispersion de la chaleur. C'est en effet au niveau de la grille qu'est éventuellement réalisé l'amincissement de silicium.

15 L'invention a aussi pour objet un procédé de réalisation d'un dispositif de protection d'un composant électronique contre les décharges électrostatiques, le dispositif de protection comportant au moins une diode Zener élaborée dans une
20 couche semi-conductrice d'un substrat, la couche semi-conductrice recouvrant une couche isolante, le procédé comportant :

25 - une étape de définition de la zone de la diode ou zone active, dans ladite couche semi-conductrice,

30 - une étape d'implantation d'une première zone de ladite zone active, pour obtenir une première zone moyennement dopée selon un type de conductivité choisi entre un premier type de conductivité et un deuxième type de conductivité opposé au premier type de conductivité,

35 - une étape d'implantation d'une partie de ladite première zone, pour obtenir une deuxième zone fortement dopée selon ledit premier type de conductivité, la deuxième zone étant séparée de la

partie non implantée de la zone active par la partie restante de la première zone,

- une étape d'implantation de la partie non implantée de la zone active pour obtenir une troisième zone fortement dopée selon ledit deuxième type de conductivité.

L'invention a encore pour objet un procédé de réalisation d'un dispositif de protection d'un composant électronique contre les décharges électrostatiques, le dispositif de protection comportant au moins une diode Zener élaborée dans une couche semi-conductrice d'un substrat, la couche semi-conductrice recouvrant une couche isolante, le procédé comportant :

- une étape de définition de la zone de la diode ou zone active dans ladite couche semi-conductrice,

- une étape d'implantation d'une première zone située en partie centrale de la zone active, pour obtenir une première zone moyennement dopée selon un type de conductivité choisi entre un premier type de conductivité et un deuxième type de conductivité opposé au premier type de conductivité,

- une étape de formation d'une grille en matériau conducteur sur la première zone, après formation d'une couche d'oxyde mince de grille,

- une étape d'implantation d'une deuxième zone de la zone active, adjacente à la première zone, pour obtenir une deuxième zone fortement dopée selon le premier type de conductivité,

- une étape d'implantation d'une troisième zone de la zone active, adjacente à la première zone qui la sépare de la deuxième zone, pour obtenir une troisième zone fortement dopée selon le deuxième type de conductivité. De préférence, la première zone est

plus large que la grille formée sur cette première zone.

Brève description des dessins

5

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

10

- la figure 1 montre, de manière schématique, la constitution d'une diode Zener utilisable dans le dispositif de protection selon l'invention ;

15

- la figure 2 est une vue descriptive de l'implantation d'une diode Zener sur une couche très mince d'un substrat, utilisable dans le dispositif de protection selon l'invention ;

20

- la figure 3 est une vue descriptive de l'implantation d'une diode Zener sur une couche mince d'un substrat, utilisable dans le dispositif de protection selon l'invention ;

25

- la figure 4 représente un circuit électronique protégé par des dispositifs de protection selon l'invention ;

30

- la figure 5 représente l'implantation d'un ensemble de quatre diodes Zener montées en série sur une couche très mince d'un substrat, pour un dispositif de protection selon l'invention ;

35

- la figure 6 représente l'implantation d'un ensemble de quatre diodes Zener montées en série sur une couche mince d'un substrat, pour un dispositif de protection selon l'invention ;

- la figure 7 est une vue en coupe transversale d'un transistor MOS selon l'art connu ;

- les figures 8 à 11 sont des vues en coupe transversale d'un substrat SOI au cours de différentes étapes de fabrication d'une diode Zener pour un dispositif de protection selon l'invention.

5

Description détaillée de modes de réalisation de l'invention

La figure 1 montre, de manière schématique, la constitution d'une diode Zener utilisable dans le dispositif de protection selon l'invention. Cette diode Zener est réalisée à partir de silicium monocristallin à l'aide de deux implantations à fort niveau de type source et drain qui permettent d'atteindre des niveaux de dopage de l'ordre de 10^{20} atomes/cm³. Ces deux implantations de types opposés, N⁺⁺ pour la région 1 et P⁺⁺ pour la région 2, sont séparées par une implantation de niveau intermédiaire de type N ou P dans la région 3 de l'ordre de 10^{18} atomes/cm³. Cette diode est spécifique par sa conception et sa faible résistance. La réalisation de cette diode Zener varie suivant les techniques utilisées.

Lorsqu'une diode classique est réalisée, à partir d'une configuration de transistor MOS, sur une couche très mince d'un substrat du type SOI, la faible tenue intrinsèque de la diode de protection s'explique en partie par la plus faible épaisseur de silicium due à l'amincissement localisé. Par ailleurs, les zones plus faiblement dopées, situées sous les espaceurs, peuvent induire une forte résistance série de la diode, en particulier pour les implantations correspondant au transistor PMOS.

Pour remédier à ces inconvénients, il est proposé de réaliser chaque diode Zener du dispositif de protection selon l'invention de la manière suivante. On

n'utilise pas le niveau de masquage de la grille en polysilicium. Le niveau d'implantation utilisée pour les espaceurs du transistor NMOS (drain faiblement dopé N ou LDDN) est dissocié du niveau drain et source N (DSN). Le niveau drain source P (DSP), qui est
 5 normalement le complémentaire du niveau DSN, devient le complémentaire des deux niveaux DSN et LDDN.

La figure 2 est une vue descriptive de l'implantation d'une diode Zener sur une couche très
 10 mince d'un substrat. Pour réaliser cette diode, on définit, dans la couche superficielle de silicium d'un substrat SOI, une zone active de silicium 5. On réalise un niveau d'implantation 6 de type LDDN et un niveau d'implantation 7 de type N⁺. Le niveau DSP est
 15 complémentaire des niveaux DSN et LDDN.

Le tableau ci-dessous présente, pour une diode de l'art connu et une diode Zener, réalisées selon des techniques similaires et avec les mêmes caractéristiques, les résultats électriques en terme de
 20 tenue ESD et de résistance électrique.

	Tenue ESD (volts/ μm)	R(Ω)
Diode	7 V/ μm	1400 $\Omega \cdot \mu\text{m}$
Diode Zener	11 V/ μm	470 $\Omega \cdot \mu\text{m}$

La tenue intrinsèque, exprimée en volts par micromètre, est une valeur utilisée dans le test
 25 normalisé de protection contre les décharges électrostatiques appelé HBM (pour "Human Body Model"). Ce test a été défini en assimilant une personne à un condensateur d'une capacité de 100 pF, la résistance de peau variant entre 500 et 50 000 Ω . Cette norme fait
 30 référence à un dispositif monté en série avec un condensateur de 100 pF, une résistance de 1500 Ω et, implicitement, une inductance de 7,5 μH . On dit qu'un

dispositif tient 2000 V (HBM) s'il n'est pas dégradé par la décharge d'un condensateur préalablement chargé à 2000 V, cette décharge se produisant au travers de la résistance de 1500 Ω et de l'inductance de 7,5 μ H. La tenue en tension est ensuite normalisée par unité de largeur du dispositif de protection.

Avec ce type de testeur, et du fait de la forte valeur de sa résistance série qui est de 1500 Ω , un transitoire de tension de U Volts correspond en fait à un transitoire de courant avec un courant maximum d'environ U/1500 ampères, un temps de montée de 5 à 10 nS et une décroissance exponentielle ayant une constante de temps de 150 nS. Ce transitoire de courant conduit par effet Joule à un certain échauffement. La tenue ESD rapportée en volts par μ m correspond à un seuil au-delà duquel l'énergie dissipée dans le dispositif conduit à un emballement thermique destructif. Le seuil d'emballement thermique peut être associé à une température critique qu'il ne faut pas franchir. L'échauffement dans le matériau au cours du transitoire ESD correspond à une dissipation par effet Joule associée au fort transitoire de courant. A mêmes densités de courant, l'échauffement est plus important pour le substrat SOI que pour un substrat massif car la chaleur ne peut pas être aussi facilement évacuée par l'arrière du substrat du fait de la présence de la couche enterrée d'oxyde. L'augmentation de la tenue intrinsèque implique un accroissement de l'épaisseur de la couche de silicium superficielle.

Dans le tableau ci-dessus, le gain en terme de tenue intrinsèque et de résistance électrique de la diode selon l'invention est évident par rapport à la diode classique.

Pour un autre type de technique, celui des couches superficielles minces de silicium,

l'amincissement localisé n'est pas utilisé pour la réalisation d'une diode classique élaborée à partir d'un transistor MOS classique. Pour s'affranchir des problèmes de résistance sous l'espaceur, on utilise, dans le cadre de la présente invention, au moins une implantation spécifique de type N, avec un dopage de même ordre de grandeur que celui utilisé pour la zone intermédiaire de la diode Zener, sur toute la zone active. Cette implantation qui conduit à des dopages de quelques 10^{18} atomes/cm³ est réalisée à la place de l'implantation d'ajustement de seuil effectuée pour une diode classique.

L'implantation alors utilisée pour obtenir la diode Zener selon l'invention est représentée à la figure 3. Pour réaliser cette diode, on définit, dans la couche superficielle de silicium d'un substrat SOI, une zone active de silicium 10. On réalise un niveau d'implantation 11 de type N⁺, un niveau d'implantation 12 de type P⁺, un niveau d'implantation 13 de type N et une grille 14 en polysilicium.

Le dispositif de protection à diodes Zener selon l'invention ne peut être utilisé selon le schéma des dispositifs de protection à diodes classiques. Les diodes Zener du dispositif de protection selon l'invention sont polarisées en direct.

A titre d'exemple, la figure 4 représente un circuit électronique protégé des décharges électrostatiques par quatre dispositifs de protection selon l'invention. Le plot de masse 21, le plot d'alimentation en tension continue 22, le plot d'entrée 23 du circuit et le plot de sortie 24 du circuit sont connectés à des dispositifs de protection 25. Ces dispositifs de protection 25 sont formés de quatre diodes Zener montées en série et polarisées en direct. Le nombre de diodes d'un dispositif doit être

suffisant, de manière à supporter la tension d'alimentation sans induire de fuite trop importante.

Le dispositif de protection selon l'invention peut avantageusement être complété par l'ajout de diodes classiques polarisées en inverse en plusieurs endroits du circuit de manière à augmenter l'efficacité de la protection quel que soit le signe de la décharge électrostatique. Ainsi, les références 26 et 27 désignent des diodes classiques montées en complément à certains dispositifs de protection selon l'invention.

Les diodes du dispositif de protection devant être montées en série, il est judicieux de la concevoir de façon à permettre une intégration la plus compacte possible. Pour cela, les quatre diodes sont réalisées sur la même zone active. Si les diodes sont réalisées grâce à un niveau LDDN différencié du niveau DSN (voir la figure 2), ces diodes peuvent être reliées entre elles grâce au niveau de métallisation. C'est ce qui est illustré par la figure 5. Les quatre diodes 31, 32, 33 et 34 ont été représentées avec leurs différentes implantations, par exemple pour la diode Zener 33 : l'implantation DSP 331, l'implantation DSN 332 et l'implantation LDDN 333. Des métallisations 35 relient les diodes entre elles et vers l'extérieur. Les références 36 représentent les points de contact électrique entre diodes et métallisations.

Si les diodes sont réalisées grâce à un niveau de type LDDN employé avant la grille, on peut relier les diodes par un niveau de siliciure comme cela est illustré sur la figure 6. On obtient alors un dispositif encore plus intégré. Les quatre diodes sont référencées 41, 42, 43 et 44. Chaque diode, par exemple la diode 43 comprend : une implantation DSP 431, une implantation DSN 432 et une grille en polysilicium 433.

Les références 46 représentent les points de contact électrique d'entrée et de sortie du dispositif de protection à quatre diodes Zener.

Pour réaliser une diode classique, on
5 réalise généralement un transistor MOS. La figure 7 montre, en coupe transversale, un tel transistor réalisé sur un substrat SOI formé d'une partie massive 50 en silicium, d'une couche d'oxyde de silicium 51 et d'une couche superficielle de silicium 52. On remarque
10 la zone d'amincissement localisé créée dans la couche superficielle 52. Cette zone d'amincissement localisé supporte la couche 53 d'oxyde de grille, la grille 54 en polysilicium et les espaceurs 55. Les diodes classiques sont réalisées selon ce concept et il est
15 évident que le volume de silicium entre l'oxyde de grille 53 et la couche d'oxyde 51 est trop confiné. La chaleur produite dans ce volume ne peut s'évacuer facilement contrairement aux éléments réalisés sur substrat massif de silicium.

20 Selon l'invention, on peut réaliser les diodes Zener en évitant l'amincissement localisé lié à la grille en polysilicium. La diode est réalisée avec le seul niveau LDD comme l'indique la figure 2. Il s'agit d'une modification originale d'un procédé
25 standard puisque l'on utilise un dispositif qui, par ailleurs, a de très mauvaises performances de tenue en inverse et qui ne peut être utilisé tel quel dans un circuit du fait des fuites qu'il occasionne.

Les figures 8 à 11 illustrent la
30 réalisation d'une diode Zener, pour un dispositif de protection selon l'invention, à partir d'un substrat SOI. La figure 8 montre, en coupe transversale, un substrat SOI composé d'une partie massive 60 en silicium, d'une couche d'oxyde de silicium 61 et d'une
35 couche superficielle de silicium 62. Comme le montre la

figure 9, on réalise sur une partie de la couche superficielle 62 une implantation de type LDDN pour obtenir une zone 63 dopée N⁺. On réalise ensuite, comme le montre la figure 10, une implantation de type drain-source N (implantation DSN) sur une partie de la zone 63 déjà dopée N⁺. On obtient une zone 64 dopée N⁺⁺. On réalise alors, comme le montre la figure 11, une implantation de type drain-source P (implantation DSP) dans la zone 65 de façon à compléter la diode Zener.

De manière générale, les différentes zones constituant une diode Zener du dispositif selon l'invention auront un dopage supérieur ou égal à 10^{13} atomes/cm³.

Cette conception de diode Zener est peu coûteuse car, si elle nécessite bien sûr un réticule supplémentaire, le niveau LDDN est dissocié du niveau DSN et elle ne conduit pas à un procédé de réalisation plus complexe. La fonction de protection est optimisée : la tenue intrinsèque est augmentée et la chute de tension développée aux bornes de la diode de protection durant une décharge électrostatique est minimisée. C'est ce que montre le tableau donné plus haut : 60% de gain sur la tenue intrinsèque et 200 % sur la résistance électrique qui s'avère être le paramètre le plus critique.

REVENDICATIONS

1. Dispositif de protection (25) d'un composant électronique contre les décharges électrostatiques, le dispositif étant élaboré dans une couche semi-conductrice (62) d'un substrat, la couche semi-conductrice (62) recouvrant une couche isolante (61), le dispositif (25) étant relié à un plot de contact (21 à 24) à protéger dudit composant afin de dériver une éventuelle décharge électrostatique, caractérisé en ce que le dispositif (25) comprend au moins une diode Zener relié audit plot pour être polarisée en direct.

2. Dispositif selon la revendication 1, caractérisé en ce qu'il comprend plusieurs diodes Zener montées en série et reliées audit plot pour être polarisées en direct.

3. Dispositif selon l'une des revendications 1 ou 2, caractérisé en ce que chaque diode Zener comporte deux régions (1, 2) dopées fortement à des types de conductivité opposés, ces deux régions étant séparées par une région (3) dopée à un niveau moyen selon l'un ou l'autre desdits types de conductivité.

4. Dispositif selon la revendication 3, caractérisé en ce que, la couche semi-conductrice du substrat étant une couche de silicium, les deux régions dopées fortement ont des niveaux de dopage de l'ordre de 10^{20} atomes/cm³, la région dopée à un niveau moyen a un niveau de dopage de l'ordre de 10^{18} atomes/cm³.

5. Dispositif selon l'une quelconque des revendications 1 à 4, caractérisé en ce que ledit substrat est un substrat SOI.

6. Dispositif selon la revendication 2, caractérisé en ce que lesdites diodes Zener (31 à 34)

sont disposées de manière adjacente pour former le montage en série, la liaison électrique entre deux diodes adjacentes étant obtenu par une métallisation (35).

5 7. Dispositif selon la revendication 2, caractérisé en ce que lesdites diodes Zener (41 à 44) sont disposées de manière adjacente pour former le montage en série, la liaison électrique entre deux diodes adjacentes étant obtenue par un siliciure.

10 8. Procédé de réalisation d'un dispositif de protection d'un composant électronique contre les décharges électrostatiques, le dispositif de protection comportant au moins une diode Zener élaborée dans une couche semi-conductrice d'un substrat, la couche semi-
15 conductrice recouvrant une couche isolante, le procédé comportant :

- une étape de définition de la zone de la diode ou zone active (5), dans ladite couche semi-conductrice,

20 - une étape d'implantation d'une première zone (6) de ladite zone active (5), pour obtenir une première zone (6) moyennement dopée selon un type de conductivité choisi entre un premier type de conductivité et un deuxième type de conductivité opposé
25 au premier type de conductivité,

- une étape d'implantation d'une partie de ladite première zone (6), pour obtenir une deuxième zone (7) fortement dopée selon ledit premier type de conductivité, la deuxième zone (7) étant séparée de la
30 partie non implantée de la zone active (5) par la partie restante de la première zone,

- une étape d'implantation de la partie non implantée de la zone active pour obtenir une troisième zone fortement dopée selon ledit deuxième type de
35 conductivité.

9. Procédé de réalisation d'un dispositif de protection d'un composant électronique contre les décharges électrostatiques, le dispositif de protection comportant au moins une diode Zener élaborée dans une
5 couche semi-conductrice d'un substrat, la couche semi-conductrice recouvrant une couche isolante, le procédé comportant :

10 - une étape de définition de la zone de la diode ou zone active (10) dans ladite couche semi-conductrice,

- une étape d'implantation d'une première zone (13) située en partie centrale de la zone active (10), pour obtenir une première zone (13) moyennement dopée selon un type de conductivité choisi entre un
15 premier type de conductivité et un deuxième type de conductivité opposé au premier type de conductivité,

- une étape de formation d'une grille (14) en matériau conducteur sur la première zone (13), après formation d'une couche d'oxyde mince de grille,

20 - une étape d'implantation d'une deuxième zone (12) de la zone active (10), adjacente à la première zone (13), pour obtenir une deuxième zone fortement dopée selon le premier type de conductivité,

25 - une étape d'implantation d'une troisième zone (11) de la zone active (10), adjacente à la première zone (13) qui la sépare de la deuxième zone (12), pour obtenir une troisième zone (11) fortement dopée selon le deuxième type de conductivité.

30 10. Procédé selon la revendication 9, caractérisé en ce que la première zone (13) est plus large que la grille (14) formée sur cette première zone.

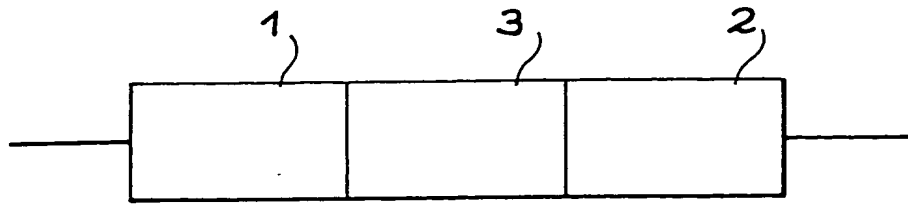


FIG. 1

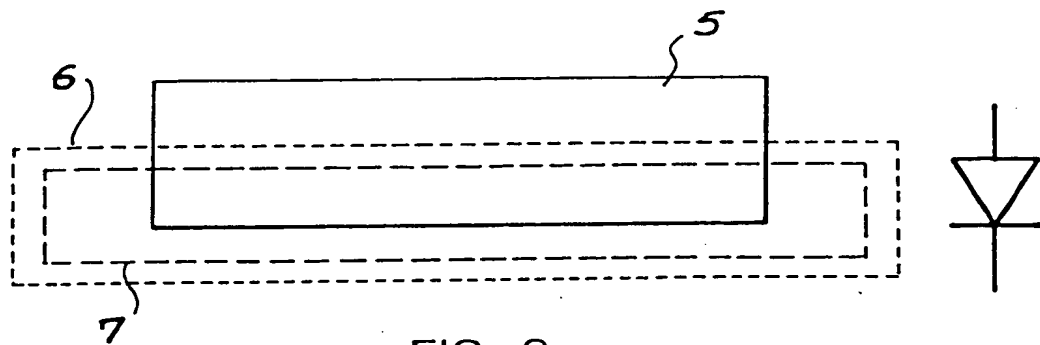


FIG. 2

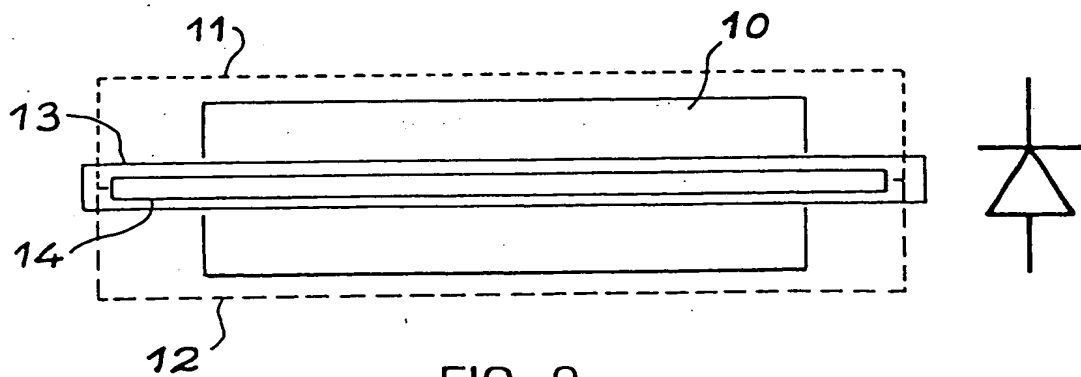


FIG. 3

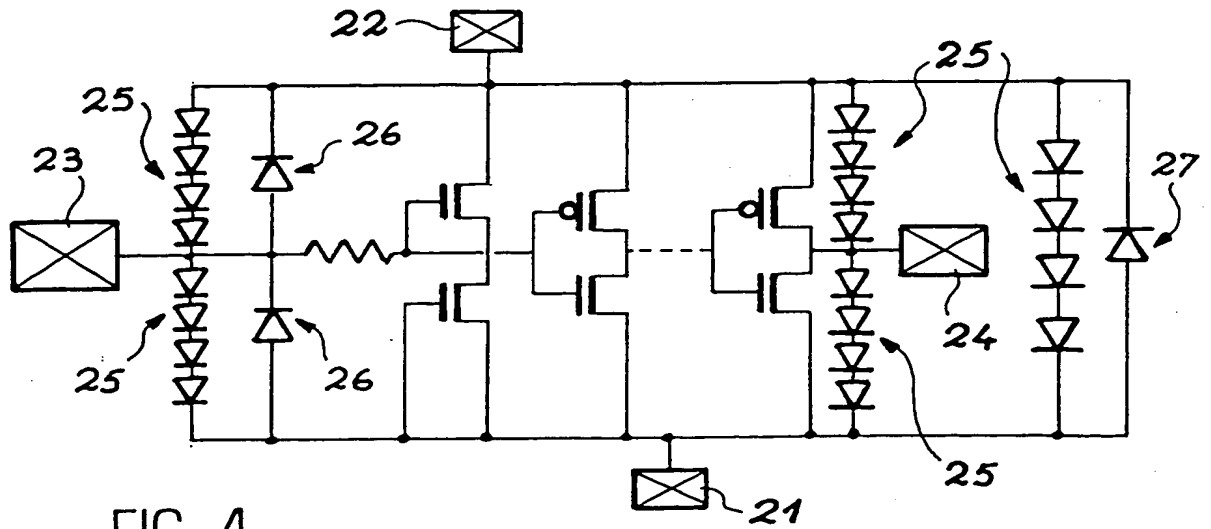


FIG. 4

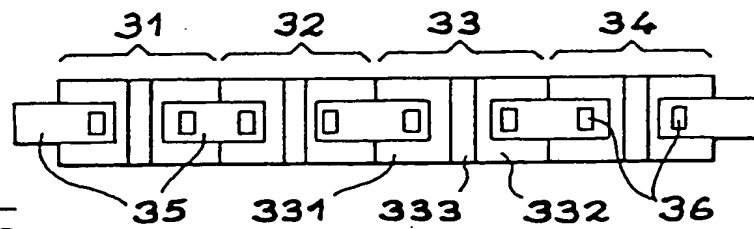


FIG. 5

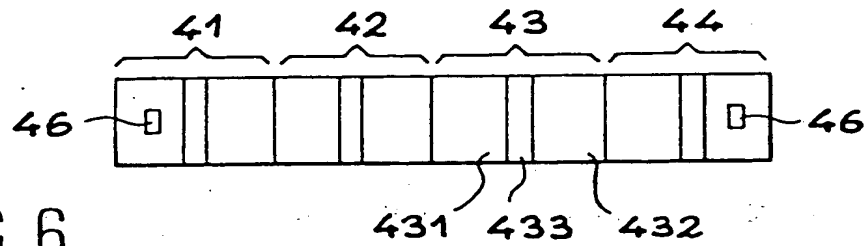


FIG. 6

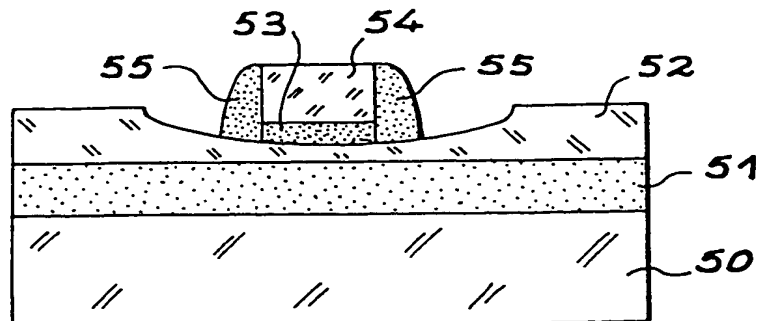


FIG. 7

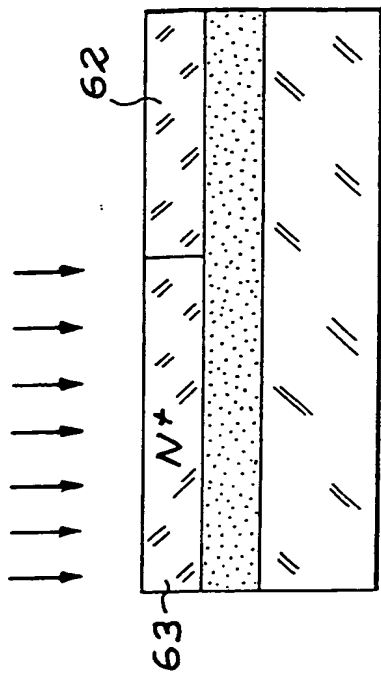


FIG. 9

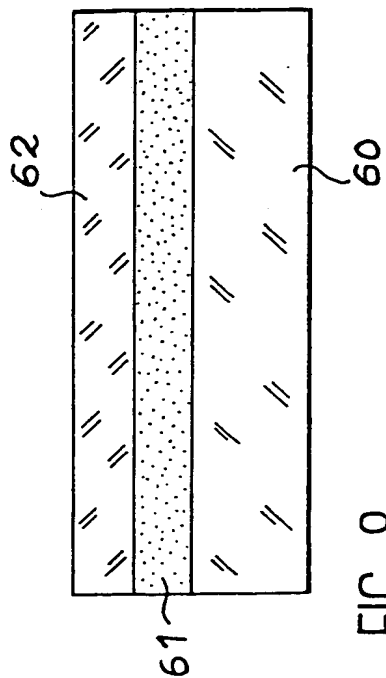


FIG. 8

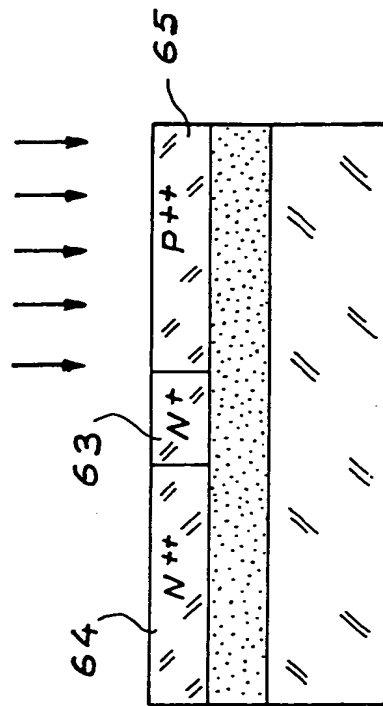


FIG. 11

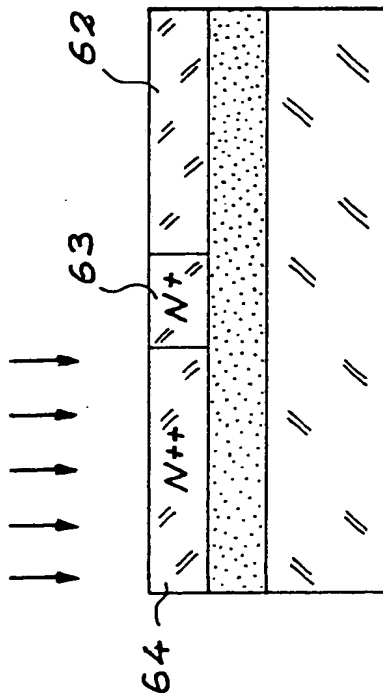


FIG. 10

THIS PAGE BLANK (USPTO)